

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Taizo TOMIOKA, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: OPTICALLY COUPLED SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING
THE SAME

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-191201	June 28, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 6月28日

出 願 番 号

Application Number:

特願2002-191201

[ST.10/C]:

[JP2002-191201]

出 願 人

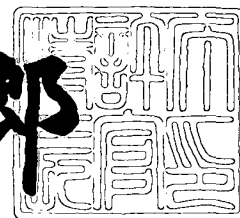
Applicant(s):

株式会社東芝

2003年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3040817

【書類名】 特許願

【整理番号】 A000203278

【提出日】 平成14年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 光結合半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新磯子町 3 3 番地 株式会社東芝
生産技術センター内

【氏名】 富岡 泰造

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新磯子町 3 3 番地 株式会社東芝
生産技術センター内

【氏名】 森 郁夫

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新磯子町 3 3 番地 株式会社東芝
生産技術センター内

【氏名】 伊藤 健志

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新磯子町 3 3 番地 株式会社東芝
生産技術センター内

【氏名】 末松 睦

【発明者】

【住所又は居所】 東京都青梅市新町 3 丁目 3 番地の 1 東芝デジタルメデ
ィアエンジニアリング株式会社内

【氏名】 斎藤 康人

【発明者】

【住所又は居所】 東京都青梅市新町 3 丁目 3 番地の 1 東芝デジタルメデ

ィアエンジニアリング株式会社内

【氏名】 荒川 雅之

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 光結合半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 第 1 の層と、この第 1 の層に積層される枠状の第 2 及び第 3 の層とによって構成された配線基板と、

前記第 1 の層の上面部に設けられ、前記第 2 の層の内部空間内に位置する発光素子と、

前記第 2 の層の上面部にその内部空間を跨いで実装され、前記発光素子に対向する受光素子と、

この受光素子に隣接し、前記第 2 の層の上面部にその内部空間を跨いで実装されるスイッチング素子と

を具備することを特徴とする光結合半導体装置。

【請求項 2】 前記発光素子はワイヤボンディングにより実装され、前記受光素子及びスイッチング素子はフリップチップボンディングにより実装されることを特徴とする請求項 1 記載の光結合半導体装置。

【請求項 3】 前記第 2 の層の内部空間は、前記発光素子のワイヤボンディングの長手方向に沿って長い略長形状をなすことを特徴とする請求項 1 記載の光結合半導体装置。

【請求項 4】 前記第 2 の層の内部空間内及び前記第 3 の層の内部空間内の一部に透光性樹脂が充填され、前記第 3 の層の内部空間内に遮光性樹脂が充填されたことを特徴とする請求項 1 記載の光結合半導体装置。

【請求項 5】 前記受光素子及びスイッチング素子は前記第 3 の層の表面よりも低位に配置されたことを特徴とする請求項 1 記載の光結合半導体装置。

【請求項 6】 前記第 1 の層は上面部に前記発光素子が接続される電極を有するとともに下面部に外部電極を有し、

前記第 2 の層は上面部に前記受光素子及びスイッチング素子が接続される電極を有し、

前記第 1 及び第 2 の層の外周面には横断面円弧状のスルーホールが形成され、

前記第 1 及び第 2 の層の電極は前記スルーホールを介して外部電極に接続され

ることを特徴とする請求項 1 記載の光結合半導体装置。

【請求項 7】 前記第 1 の層は上面部に前記発光素子が接続される電極を有するとともに下面部に外部電極を有し、

前記第 2 の層は上面部に前記受光素子及びスイッチング素子が接続される電極を有し、

前記第 1 及び第 2 の層の枠部には貫通孔が形成され、

前記第 1 及び第 2 の層の電極は前記貫通孔を介して前記外部電極に接続されることを特徴とする請求項 1 記載の光結合半導体装置。

【請求項 8】

第 1 の層と、この第 1 の層に積層される枠状の第 2 及び第 3 の層とによって構成され、予め分割溝が形成された多層配線基板の前記第 2 の層の内部空間内に発光素子をダイボンディングするダイボンディング工程と、

このダイボンディング工程後、前記発光素子をワイヤボンディングするワイヤボンディング工程と、

前記第 2 の層上に受光素子及びスイッチング素子をフリップチップボンディングするフリップチップボンディング工程と、

前記第 3 の層の内部空間及び前記第 2 の層の内部空間の一部に透光性樹脂を充填する第 1 の充填工程と、

前記第 2 の層の内部空間内に遮光性樹脂を充填する第 2 の充填工程と、

この充填工程後、前記多層配線基板を分割する分割工程と

を具備することを特徴とする光結合半導体装置の製造方法。

【請求項 9】 第 1 の層と、この第 1 の層に積層される枠状の第 2 及び第 3 の層とによって構成された多層配線基板の前記第 2 の層の内部空間内に発光素子をダイボンディングするダイボンディング工程と、

このダイボンディング工程後、前記発光素子をワイヤボンディングするワイヤボンディング工程と、

前記第 2 の層上に受光素子及びスイッチング素子をフリップチップボンディングするフリップチップボンディング工程と、

前記第 3 の層の内部空間及び前記第 2 の層の内部空間の一部に透光性樹脂を充

填する第 1 の充填工程と、

前記第 2 の層の内部空間内に遮光性樹脂を充填する第 2 の充填工程と、
この充填工程後、前記多層配線基板をダイシングで分割する分割工程と
を具備することを特徴とする光結合半導体装置の製造方法。

【請求項 1 0】 前記フリップチップボンディング工程において、前記受光素子およびスイッチング素子の電極上にそれぞれ金バンプを形成し、これを基板の電極へ超音波接合したことを特徴とする請求項 8 又は請求項 9 記載の光結合半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、テスターなどの計測器に適用される光結合半導体装置及びその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、テスターなどの計測器では、信頼性の向上を目的として光結合半導体装置などの無接点リレーを用いる場合が増加している。テスターでは機器内に数千個の光結合半導体装置を用いる場合があり、テスターの小型化のため光結合半導体装置の小型化が強く要望されている。このような市場背景から、様々な光結合半導体装置が発明されている。

【 0 0 0 3 】

この光結合半導体装置としては、例えば、特開平 1 1 - 6 3 7 0 5 に開示されるものが知られている。この光結合半導体装置は図 7 に示すように配線基板 2 3 を有し、この配線基板 2 3 には凹部 2 4 と図示しない配線パターンとが形成されている。配線基板 2 3 の凹部 2 4 の底面には発光素子 2 5 がダイボンディングされ、金ワイヤ 2 6 でワイヤボンディングされている。

【 0 0 0 4 】

また、凹部 2 4 の上面開口を覆い発光素子 2 5 と対向する状態で受光素子 2 9 が配置され、バンプ 3 4 を介して配線基板 2 3 にフリップチップボンディングさ

れている。

【 0 0 0 5 】

配線基板 2 3 の受光素子 2 9 が実装された面と同一面上にはスイッチング素子 2 7 がバンプ 2 8 を介してフリップチップボンディングされている。受光素子 2 9 とスイッチング素子 2 7 とは基板 2 3 上の図示しない配線パターンにより電氣的に接続される。

【 0 0 0 6 】

発光素子 2 5 と受光素子 2 9 の間には透光性樹脂 3 0 が充填され、配線基板 2 3 側の受光素子 2 9 とスイッチング素子 2 7 はそれぞれ遮光性樹脂 3 1 により封止されている。

【 0 0 0 7 】

この光結合半導体装置においては、受光素子 2 9 とスイッチング素子 2 7 とをフリップチップボンディングで実装することでワイヤボンディングのためのパッドを形成する必要が無くなり、光結合半導体装置を小型化することができる。

【 0 0 0 8 】

なお、この場合のスイッチング素子 2 7 にはゲート、ソース、ドレイン電極がチップの同一平面上に存在する Lateral Double Diffused MOSFET を用いる必要がある。チップ裏面にドレイン電極が形成されているスイッチング素子を用いる場合には、図 8 に示す如くワイヤボンディングで実装することになる。

【 0 0 0 9 】

【 発明が解決しようとする課題 】

しかしながら、従来においては、以下に述べるような問題点があった。

【 0 0 1 0 】

まず、配線基板 2 3 の凹部 2 4 に発光素子 2 5 をダイボンディングしてワイヤボンディングする場合、ワイヤボンダのキャピラリが配線基板 2 3 に干渉しないように凹部 2 4 のサイズを大きく設定することになる。このため、凹部 2 4 を覆う受光素子 2 9 が必要以上に大きくなってしまふ。

【 0 0 1 1 】

なお、先端を極端に細くしたキャピラリを用いることにより凹部 2 4 のサイズ

を小さくすることが考えられるが、この場合にはキャピラリの耐久性、超音波振動特性が劣化し、生産性が著しく劣化する。

【 0 0 1 2 】

また、配線基板 2 3 には凹部 2 4 以外にスイッチング素子 2 7 を実装する基板面積を別途特別に必要とするため、光結合半導体装置のさらなる小型化が困難なものとなっていた。

【 0 0 1 3 】

本発明は上記事情に着目してなされたもので、その目的とするところは、光結合半導体装置を小型化するのに好適な光結合半導体装置の構造及びその製造方法を提供しようとするものである。

【 0 0 1 4 】

【課題を解決するための手段】

上記課題を解決するため、請求項 1 に記載された発明は、第 1 の層と、この第 1 の層に積層される棒状の第 2 及び第 3 の層とによって構成された配線基板と、前記第 1 の層の上面部に設けられ、前記第 2 の層の内部空間内に位置する発光素子と、前記第 2 の層の上面部にその内部空間を跨いで実装され、前記発光素子に対向する受光素子と、この受光素子に隣接し、前記第 2 の層の上面部にその内部空間を跨いで実装されるスイッチング素子とを具備する。

【 0 0 1 5 】

請求項 8 に記載の発明は、第 1 の層と、この第 1 の層に積層される棒状の第 2 及び第 3 の層とによって構成され、予め分割溝が形成された多層配線基板の前記第 2 の層の内部空間内に発光素子をダイボンディングするダイボンディング工程と、このダイボンディング工程後、前記発光素子をワイヤボンディングするワイヤボンディング工程と、前記第 2 の層上に受光素子及びスイッチング素子をフリップチップボンディングするフリップチップボンディング工程と、前記第 3 の層の内部空間及び前記第 2 の層の内部空間の一部に透光性樹脂を充填する第 1 の充填工程と、前記第 2 の層の内部空間内に遮光性樹脂を充填する第 2 の充填工程と、この充填工程後、前記多層配線基板を分割する分割工程とを具備する。

【 0 0 1 6 】

請求項 9 記載の発明は、第 1 の層と、この第 1 の層に積層される棒状の第 2 及び第 3 の層とによって構成された多層配線基板の前記第 2 の層の内部空間内に発光素子をダイボンディングするダイボンディング工程と、このダイボンディング工程後、前記発光素子をワイヤボンディングするワイヤボンディング工程と、前記第 2 の層上に受光素子及びスイッチング素子をフリップチップボンディングするフリップチップボンディング工程と、前記第 3 の層の内部空間及び前記第 2 の層の内部空間の一部に透光性樹脂を充填する第 1 の充填工程と、前記第 2 の層の内部空間内に遮光性樹脂を充填する第 2 の充填工程と、この充填工程後、前記多層配線基板をダイシングで分割する分割工程とを具備する。

【 0 0 1 7 】

【発明の実施の形態】

以下、本発明を図面に示す実施の形態を参照して詳細に説明する。

図 1 は本発明の一実施の形態である光結合半導体装置の構造を示すものである。

【 0 0 1 8 】

この半導体装置は配線基板 1 を備えている。この配線基板 1 は第 1 の層 2 上に第 2 及び第 3 の層 3, 4 を順次積層してなるアルミナセラミック製の多層配線基板である。第 1 の層 2 の上面部には電極 8 が配設されている。この電極 8 はタンゲステンで成形され、その上面部にはニッケルメッキと金メッキとが施されている。第 2 の層 3 及び第 3 の層 4 は棒状に形成され、その内側には配線基板 1 の中央部に位置する内部空間 3 a, 4 a が構成されている。配線基板 1 の外形寸法は幅 2. 0 mm、奥行き 2. 0 mm、高さ 1. 7 mm である。

【 0 0 1 9 】

第 1 の層 2 の上面には発光ダイオード (LED) 等の発光素子 6 が設けられ、この発光素子 6 は第 2 の層 3 の内部空間 3 a 内に位置されている。また、第 2 の層 3 の上面には内部空間 3 a を跨ぐように受光素子 1 1 及びスイッチング素子 1 2 が配設され、これら受光素子 1 1 及びスイッチング素子 1 2 は第 3 の層 4 の内部空間 4 a 内に位置されている。発光素子 6 は第 1 の層 2 上に設けられたマウント電極 5 にボンディングされ、さらに金ワイヤ 7 を介して電極 8 と電氣的に接続

されている。

【 0 0 2 0 】

第 2 の層 3 の内部空間 3 a の寸法は幅 1 . 4 m m、奥行き 0 . 7 m m、深さ 0 . 6 m m で、発光素子 6 にワイヤボンディングを行う際にワイヤボンダのキャビタリと多層配線基板 1 が干渉することがないように大きさとになっている。

【 0 0 2 1 】

第 1 の層 2 の一側面部には横断面半円弧状のスルーホール 9 が垂直方向に沿って形成され、第 1 の層 2 の底面一側部には外部接続電極 1 6 が設けられている。上記のマウント電極 5 はスルーホール 9 を介して外部接続電極 1 6 と電氣的に接続され、もう一方の電極 8 も同様に図示しないスルーホールを介して図示しない外部接続電極と電氣的に接続されている。なお、スルーホール 9 には電極 5 , 8 と同様にニッケルメッキと金メッキが施されている。

【 0 0 2 2 】

第 2 の層 3 の上面部には電極 1 0 が配設され、受光素子 1 1 はバンプ 3 2 を介して電極 1 0 にフリップチップボンディングされている。受光素子 1 1 は発光素子 6 と対向する位置に設けられている。スイッチング素子 1 2 は受光素子 1 1 と並ぶように配置され、電極 1 0 にバンプを介してフリップチップボンディングされている。

【 0 0 2 3 】

スイッチング素子 1 2 は同一面上にゲート電極、ソース電極、ドレイン電極が形成された構成となっている。第 1 及び第 2 の層 2 , 3 の他側面部には図 2 に示すように垂直方向に沿って横断面半円弧状のスルーホール 1 5 a , 1 5 b が形成されている。第 1 の層 2 の底面他側部には外部接続電極 1 7 が設けられている。スイッチング素子 1 2 のドレイン電極が接続された電極 1 0 はスルーホール 1 5 を介して外部接続電極 1 7 に電氣的に接続されている。スイッチング素子 1 2 のゲート電極、ソース電極は第 2 の層 3 の電極 1 0 を介して受光素子 1 1 のアノード電極、カソード電極へ電氣的に接続されている。

【 0 0 2 4 】

第 2 の層 3 の内部空間 3 a 及び第 3 の層 4 の内部空間 4 a の一部には透光性の

シリコン樹脂 1 3 が充填されている。さらに第 3 の層 4 の内部空間 4 a には受光素子 1 1 及びスイッチング素子 1 2 を封止するように遮光性のあるエポキシ樹脂 1 4 が充填されている。

【 0 0 2 5 】

上記した構成において、発光素子 6 が発光すると、その光が受光素子 1 1 によって受光されて起電力が発生し、これによりスイッチング素子 1 2 がオン、オフ制御されることになる。

【 0 0 2 6 】

次に、上記した光結合半導体装置の製造方法を図 3 及び図 4 に基づいて説明する。

【 0 0 2 7 】

基板 1 は図 3 (a) に示すように、複数のパターンが連なってシート状になっており、パターンとパターンの間には分割用の溝 3 3 が形成されている。製造はこのシート状のままで行い、最後に個別の光結合半導体装置に分割する。

【 0 0 2 8 】

まず、発光素子 6 を第 1 の層 2 上の電極 5 上に銀ペーストを用いてダイボンディングし、銀ペーストを加熱により硬化させる。ついで、図 3 (b) に示すように、発光素子 6 と電極 8 をワイヤボンディングにより接続する。こののち、図 4 (a) に示すように、金バンプを形成した受光素子 1 1 を発光素子 6 に対向するように予め電極 1 0 上に配置し、図示しないボンディングツールで加圧し、同時に超音波振動を印加してフリップチップボンディングする。ボンディング条件は、加圧荷重が 5 N、加圧時間が 2 0 0 m s、温度が 2 5 0 ℃である。超音波振動の周波数は 6 1 k H z でチップの振幅は約 0 . 5 μ m とした。このボンディング条件によりバンプ当たり 1 . 2 N のせん断強度を得た。しかるのち、第 2 の層 3 の上面部に受光素子 1 1 に並んで隣接し、かつ第 2 の層 3 の内部空間 3 a を跨ぐ状態でスイッチング素子 1 2 をフリップチップボンディングする。ボンディングの条件は受光素子 1 1 と同様である。

【 0 0 2 9 】

こののち、図 4 (b) に示すように第 2 の層 3 の内部空間 3 a 及び第 3 の層 4

の内部空間 4 a の一部に透光性のシリコン樹脂 1 3 を注入して硬化させる。ついで、図 4 (c) に示すように、第 3 の層 4 の内部空間 4 a 内に遮光性のエポキシ樹脂 1 4 を注入して受光素子 1 1 及びスイッチング素子 1 2 を封止する。そして、最後にシートを分割溝 3 3 に沿って分割し、光結合半導体装置を完成する。

【 0 0 3 0 】

上記したように、受光素子 1 1 及びスイッチング素子 1 2 を第 2 の層 3 の内部空間 3 a を跨ぐように配設するため、内部空間 3 a を覆う受光素子 1 1 を必要以上に大型化する必要がない。また、第 2 の層 3 の内部空間 3 a 上のスペースをスイッチング素子 1 2 の配置スペースとして利用でき、基板 1 の上面部に特別にスイッチング素子 1 2 の配置スペースを必要とすることがない。従って、光結合半導体装置を飛躍的に小型化できるとともに、製造性を向上できる。

【 0 0 3 1 】

なお、上記した第 1 の実施の形態では、シートに分割溝 3 3 を設けて分割するようにしたが、これに限られることなく、シートをダイシングにより分割するようにしてもよい。

【 0 0 3 2 】

また、上記第 1 の実施の形態においては、基板 1 の内部電極 5, 8, 1 0 と外部接続電極 1 6, 1 7 とをスルーホール 9, 1 5 を介して接続したが、これに限られることなく、図 5 に示すように第 1 及び第 2 の層 2, 3 の枠部内にスルーホール 1 8, 1 9 を垂直に穿設し、このスルーホール 1 8, 1 9 を介して基板 1 の内部電極 5, 8, 1 0 と外部接続電極 1 6, 1 7 とを接続するようにしても良い。

【 0 0 3 3 】

さらに、上記第 1 の実施の形態においては、発光素子 6 をワイヤボンディングで実装したが、これに限られることなく、図 6 に示すように発光素子 6 をフリップチップボンディングで実装することも可能である。

【 0 0 3 4 】

また、上記第 1 の実施の形態においては、製造工程において、受光素子 1 1 とスイッチング素子 1 2 とを多層配線基板 1 に実装した後に第 2 の層 3 の内部空間

3 a 内にシリコン樹脂 1 3 を注入したが、これに限られることなく、順番を逆にしてシリコン樹脂 1 3 を注入したのちに受光素子 1 1 とスイッチング素子 1 2 とを実装しても良い。

【 0 0 3 5 】

さらに、受光素子 1 1 を実装してシリコン樹脂 1 3 を注入した後にスイッチング素子 1 2 を実装しても良い。

【 0 0 3 6 】

その他、本発明はその主旨の範囲内で種々変形実施可能なことは勿論である。

【 0 0 3 7 】

【発明の効果】

以上説明したように、本発明によれば、光結合半導体装置を従来と比較して飛躍的に小型化することが可能であり、また製造性を向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態である光結合半導体装置の構造を示す図。

【図 2】

基板の外側面部に形成されたスルーホールを示す斜視図。

【図 3】

光結合半導体装置の製造工程を示す図。

【図 4】

光結合半導体装置の製造工程を示す図。

【図 5】

本発明の第 2 の実施の形態に係る光結合半導体装置の構造を示す図。

【図 6】

本発明の第 3 の実施の形態に係る光結合半導体装置の構造を示す図。

【図 7】

第 1 の従来例である光結合半導体装置の構造を示す図。

【図 8】

第 2 の従来例である光結合半導体装置の構造を示す図。

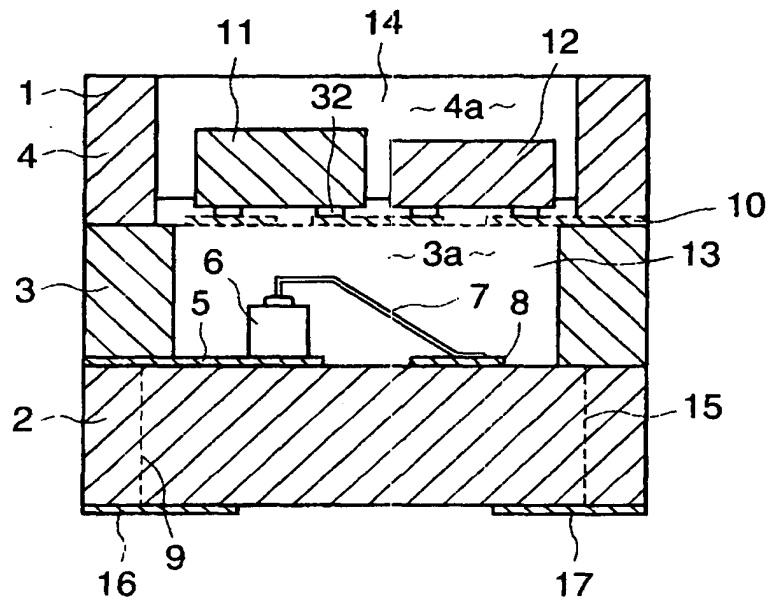
【符号の説明】

- 1 …多層配線基板
- 2 …第 1 層
- 3 …第 2 層
- 4 …第 3 層
- 5 …マウント電極
- 6 …発光素子
- 7 …金ワイヤ
- 8 …電極
- 9 …スルーホール
- 1 0 …電極
- 1 1 …受光素子
- 1 2 …スイッチング素子
- 1 3 …シリコン樹脂（透光性樹脂）
- 1 4 …エポキシ樹脂（遮光性樹脂）
- 1 5 …スルーホール
- 1 6 …外部接続電極
- 1 7 …外部接続電極
- 1 8 …スルーホール
- 1 9 …スルーホール
- 2 0 …外部接続電極
- 2 1 …外部接続電極
- 2 2 …発光素子

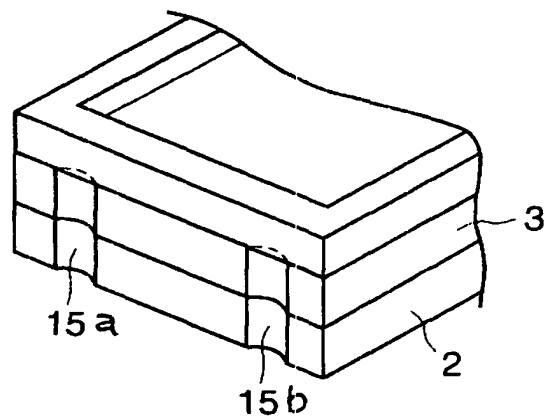
【書類名】

図面

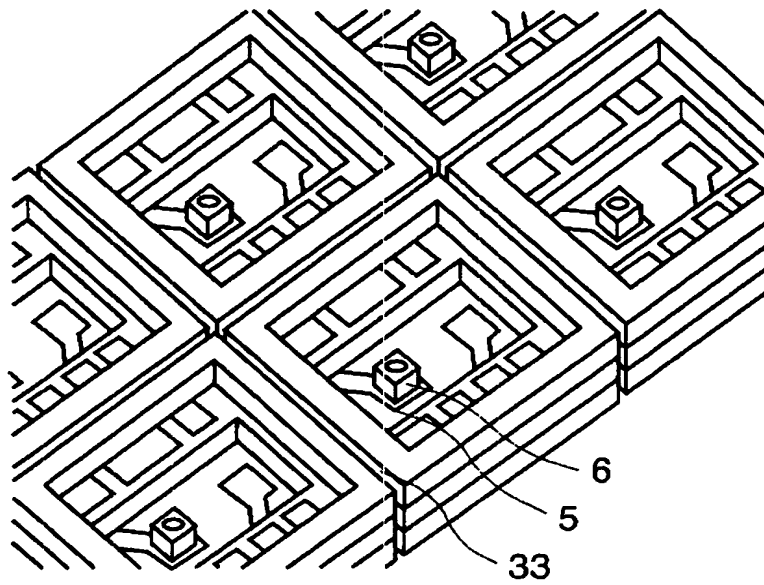
【図 1】



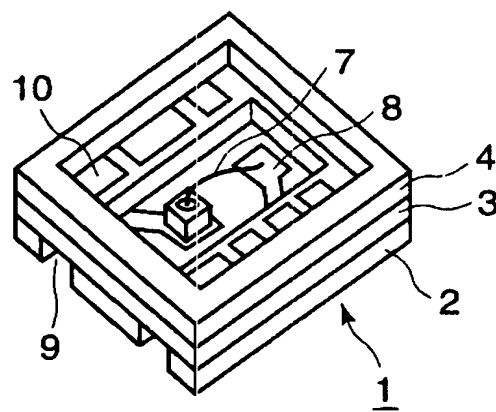
【図 2】



【図 3】

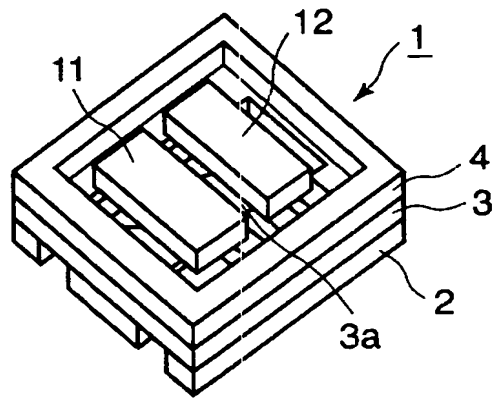


(a)

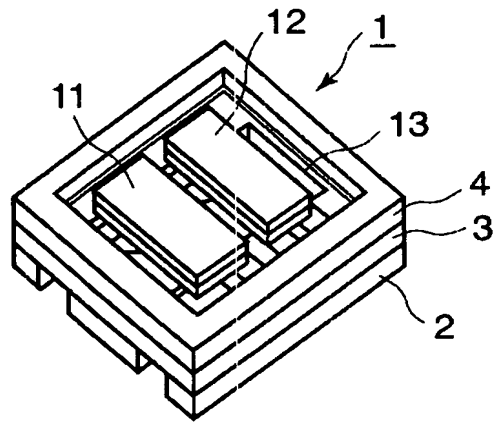


(b)

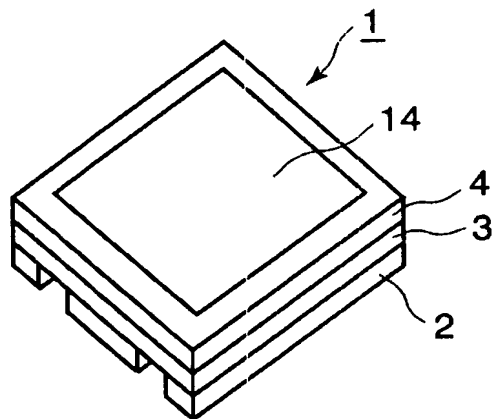
【図 4】



(a)

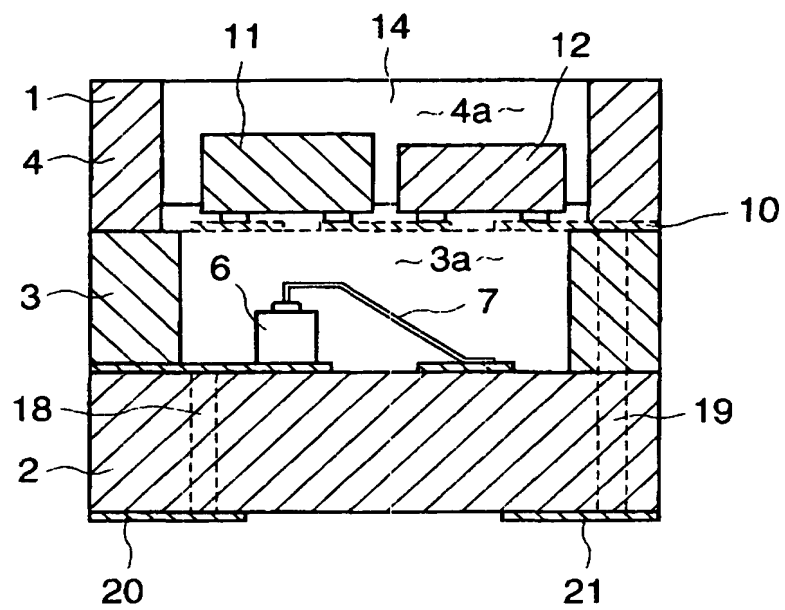


(b)

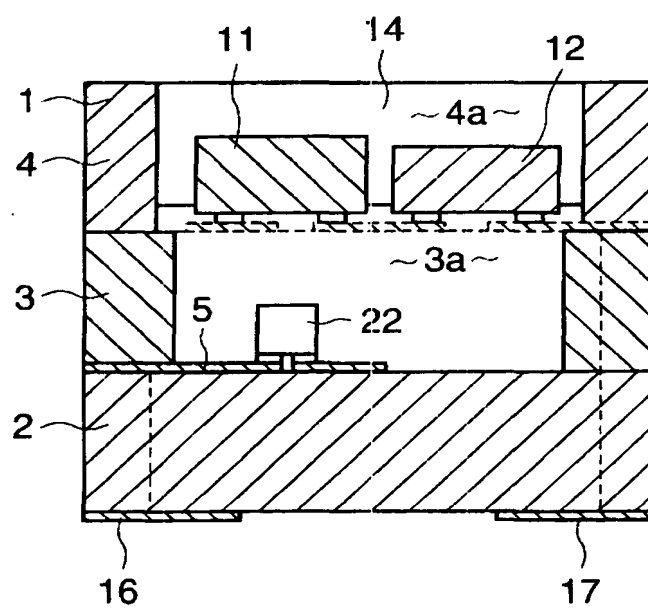


(c)

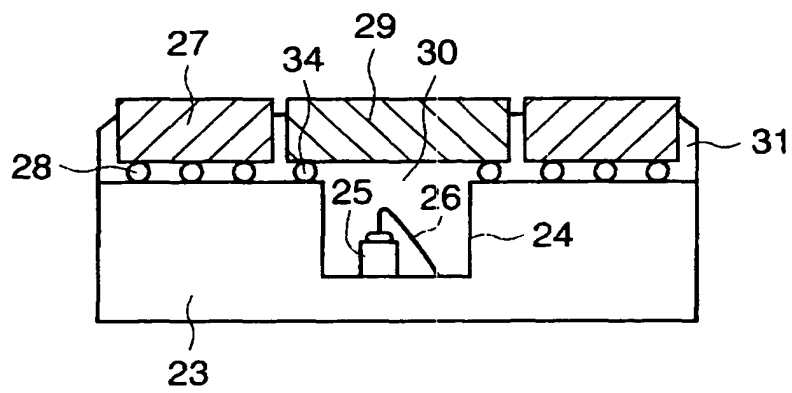
【図 5】



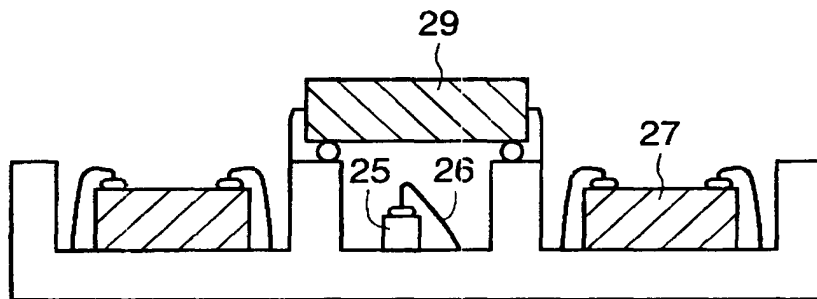
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 小型化するのに好適な光結合半導体装置の構造を提供しようとするものである。

【解決手段】 第 1 の層 2 と、この第 1 の層 2 に積層される枠状の第 2 及び第 3 の層 3，4 とによって構成された配線基板 1 と、第 1 の層 2 の上面部に設けられ、第 2 の層 3 の内部空間 3 a 内に位置する発光素子 6 と、第 2 の層 3 の上面部にその内部空間 3 a を跨いで実装され、発光素子 6 に対向する受光素子 1 1 と、この受光素子 1 1 に隣接し、第 2 の層 3 の上面部にその内部空間 3 a を跨いで実装されるスイッチング素子 1 2 とを具備する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝